

0.8 μ m CMOS ASCP

0.8-micro CMOS ASCPs

(Hisaya Keida)

(Hiroyuki Hayashi)

(Kyoichi Kissei)

:
 0.8 μ m² CMOS ASCP ()
 CrossCheck ArrayTest
 ArrayTest CrossCheck 0.8 μ m
 ATPG()
 8 CPU

Synopsis :

The 0.8-micron double layer metal ASCPs(Application Specific Customized Products such as gate array, embedded array and standard cell) have been developed. All products have achieved one of the highest raw gate counts and the least power in the industry. The circuit on the chip has become larger, and the difficulty of the test has increased dramatically. Considering this situation, Kawasaki Steel has decided to introduce the CrossCheck CX-ArrayTest technology into all of the 0.8-micron ASIC products. CrossCheck CX-ArrayTest features the ATPG(automatic test pattern generation) even for the asynchronous circuit. Kawasaki Steel also has developed the BIST circuit for memory testing and JTAG compatible boundary scan circuit for board level testing. For very large system design, the memory or othern,(r)-2c

0.8-micron CMOS ASCPs



慶田 久彌
Hisaya Keida

林 博之
Hiroyuki Hayashi

吉清 恭一
Kyoichi Kissei

要旨

0.8 μ m 2層配線 CMOS テクノロジーを採用した ASCP 製品 (ゲートアレイ, エンベデッドアレイ, スタンドセル) を開発した。業界最高水準の最大搭載ゲート規模と低消費電力を実現した。困難化するテストの容易化手法として CrossCheck 社の ArrayTest 技術を採用した。ArrayTest の採用により CrossCheck テスト構造において 0.8 μ m としては初めて非同期回路にも対応可能な ATPG (テストパターン自動生成) を可能にした。さらにメモリー, 8ビット CPU 等の大規模マクロも実装することに

LSI 事業部 開発・設計部商品開発室 主査 (掛長)

LSI 事業部 開発・設計部商品開発室 主査 (課長補)

LSI 事業部 開発・設計部商品開発室 主査 (課長)

より, システムオンチップのニーズにこたえた。

Synopsis:

The 0.8-micron double layer metal ASCPs (Application Specific Customized Products such as gate array, embedded array and standard cell) have been developed. All products have achieved one of the highest raw gate counts and the least power in the industry. The circuit on the chip has become larger, and the difficulty of the test has increased dramatically. Considering this situation, Kawasaki Steel has decided to introduce the CrossCheck CX-ArrayTest technology into all of the 0.8-micron ASIC products. CrossCheck CX-ArrayTest features the ATPG (automatic test pattern generation) even for the asynchronous circuit. Kawasaki Steel also has developed the BIST circuit for memory testing and JTAG compatible boundary scan circuit for board level testing. For very large system design, the memory or other large functions are indispensable. The 0.8-micron ASCPs support the on-chip memory compiler and the originally developed 8-bit CPU core which is compatible with Zilog Z80.

1 緒言

近年, 数万ゲートから十数万ゲート規模のアプリケーションが身近に見られるようになってきた。これらの大規模回路を 1 チップの LSI に搭載する際には, (1) 消費電力の増大, (2) テストの困難化などが解決すべき大きな課題として浮上してくる。Fig. 1 は回路規模と消費電力の関係を示している。ゲート数が 1 万を超えると消費電力がほぼ 1 ワットを超えることを示している。安価なプラス

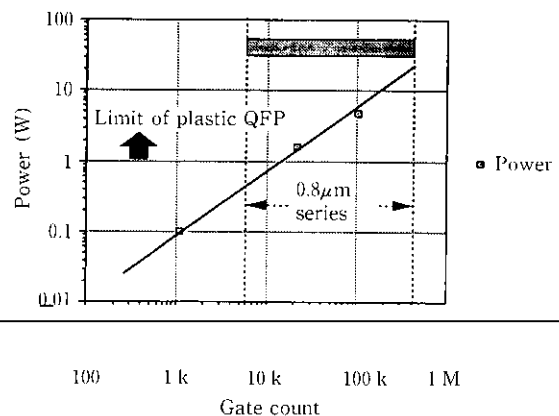


Fig. 1 Example of power increase vs gate count

チック・パッケージに封止可能なのは通常 1 ワット程度までで, それ以上はヒートシンクをつけるか熱抵抗の低いセラミック・パッケージを採用しなければならない。低消費電力化がコストの観点から重要であることは明らかである。

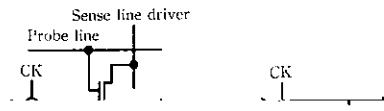
また, 回路の大規模化とともにテスト・パターンの生成はいつそう困難になる。回路規模が大きくなるとテストすべき回路ノードが増加するのに対し, 故障を検出するために回路ノードを制御し, 観察するのに必要な入出力信号ピン数は多くても 200 ピン程度しか

から大きな問題になることは明らかである。

当社は, 0.8 μ m プロセス技術を採用し, 低消費電力とテスト容易性の改善に重点を置いた ASCP (Application Specific Custom-



Random logic 20 k



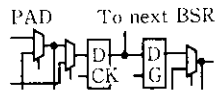


Table 4 Feature of KC80 8bit CPU core

Items	Description
-------	-------------

4 適用例

4.1 画像処理プロセッサ

KG2Hシリーズを用いて、5×5のピクセル・ウインドウに演

