

0.8 μ m CMOS高密度型ゲートアレイ「KZ2H」*1

0.8 μ m CMOS High Density Gate Array “KZ2H”

Yoshihito Nishizaki

1 製品の概要

当社ではますます増大するゲートアレイへの高密度化、高速化、低消費電力化の要求に応えるべく高密度型ゲートアレイ「KZ2Hシリーズ」を開発した。

KZ2Hシリーズは、米国SiArc社のCBA (cell based array) 技術をベースに、当社の0.8 μ m CMOS 2層配線プロセスを用いて開発した全面敷き詰め型ゲートアレイ (SOG: sea of gates) である。KZ2HではCBAアーキテクチャに基づき、基本セル内のトランジスタサイズを複数種類設定するとともに、各サイズのトランジスタをそれぞれ最適な用途に用いることにより、ゲートアレイでありながらスタンダードセルに匹敵する密度、速度、消費電力を

なおさず必要以上のサイズの素子を均一的に敷き詰めることで面積的な無駄が生じていることを意味していた。

また、マクロセルの種類によっては特に順序回路のように、回路動作上、そのマクロセルの機能を実現するには駆動能力の小さな素子で十分な場合がある。この場合でも従来は素子のサイズが均一な大サイズであるため、面積的に無駄が生じていた。

3 製品の特徴

3.1 CBAアーキテクチャ

KZ2HのベースとなっているCBAでは、ネットの負荷分布とマクロセル中の素子の本来の必要最小限サイズを既存の設計内容か

Table 1 Specifications of KZ2H family

Process	0.8μm CMOS double layer metal
---------	-------------------------------

イズのカスタムダイを起こすことにも柔軟に対応する。KZ2Hにはこれを容易化するための base array compiler 等のツールも用意されている。

Voltage

5 V ± 10%

KZ2Hでは、約150種類のファンクションセルと、約250個の